

## ⑫ 公開特許公報(A)

昭60-171754

⑬ Int.Cl.<sup>4</sup>  
H 01 L 25/04  
H 01 L 23/06

識別記号 庁内整理番号  
7638-5F  
7738-5F

⑭ 公開 昭和60年(1985)9月5日

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 回路素子付半導体チップキャリア

⑯ 特 願 昭59-27269

⑰ 出 願 昭59(1984)2月17日

⑱ 発 明 者 森 田 哲 郎 横浜市戸塚区田谷町1番地 住友電気工業株式会社横浜製作所内

⑲ 出 願 人 住友電気工業株式会社 大阪市東区北浜5丁目15番地

⑳ 代 理 人 弁理士 新居 正彦

## 明細書

## 1. 発明の名称

回路素子付半導体チップキャリア

## 2. 特許請求の範囲

(1) 半導体チップが収容され、該半導体チップが導体により外部端子に接続されており、頂部がリッドによって封止されている半導体チップキャリアにおいて、前記リッドに少なくとも1つの回路素子が設けられており、前記回路素子の端子は半導体チップキャリアの対応する外部端子に接続されていることを特徴とする半導体チップキャリア。

(2) 前記回路素子は、前記リッド上に設置され固定されていることを特徴とする特許請求の範囲第1項記載の半導体チップキャリア。

(3) 前記リッドの頂面には、前記回路素子が接続される導体回路が形成されていることを特徴とする特許請求の範囲第2項記載の半導体チップキャリア。

リア。

(4) 前記回路素子は、受動素子であり、該受動素子は、前記リッド自体であることを特徴とする特許請求の範囲第1項に記載の半導体チップキャリア。

(5) 前記回路素子は、コンデンサ、コイル、抵抗、ダイオード又はトランジスタであることを特徴とする特許請求の範囲第1項から第4項のいずれかに記載の半導体チップキャリア。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明は、回路素子がリッドに設けられた半導体チップキャリアに関するものである。

## 従来技術

例えば従来のも厚膜法によるハイブリット集積回路装置は、第1図に示す如く、回路基板1上に、

半導体チップキャリア2やコンデンサ3等の様々な回路素子が搭載され必要な配線がなされ、そのあと樹脂モールド等の必要な封止処理がされて作られている。

しかし、上述した如く回路基板上に全ての回路素子を平面的に配置した場合、回路素子によって占有される面積は、回路素子の面積の総和であり、一方、回路基板はその総占有面積に比べて十分広くなければならないため、実装密度に限界があった。

しかし、実装密度を高めるためには、立体的に実装することが考へるが、従来効果的な方法が提案されていなかった。

#### 発明の目的

そこで、本発明は、半導体チップキャリアの蓋即ちリッド上のスペースを活用することに着目して、回路基板へ半導体チップキャリアやほかの回路素子を実装する際の実装密度を高めることができる半導体チップキャリアを提供せんとするもの

#### 実施例

以下添付図面を参照して本発明による回路素子付半導体チップキャリアの実施例を説明する。

第2図は、本発明による回路素子付半導体チップキャリアの一実施例の分解部品配列斜視図であり、第3図は、半導体チップが実装された状態での断面図である。

セラミックキャリア10は、金属化された底部12を有する凹部14が中央に形成され、外周辺部には外部端子16として機能する導体が設けられている。そのようなセラミックキャリア10の凹部14の金属化底部12に、半導体チップ18がダイボンディングにより固定され、そして、外部端子16との間がボンディングワイヤ20により結線されている。

そのセラミックキャリア10の上に重ねられる封止用のセラミックリッド22の上面には、配線回路をなす一対の導電性パッド24が形成されている。その導電性パッド24は、セラミックリッド22に搭載される回路素子が接続されるべき外部端子16の直上に位置するセラミックリッド22の端部まで延

である。

#### 発明の構成

即ち、本発明によるならば、半導体チップが収容され、該半導体チップが導体により外部端子に接続されており、頂部がリッドによって封止されている半導体チップキャリアにおいて、前記リッドに少なくとも1つの回路素子が設けられており、前記回路素子の端子は半導体チップキャリアの対応する外部端子に接続されていることを特徴とする半導体チップキャリアが提供される。

以上の如き半導体チップキャリアを使用するならば、それに搭載した回路素子を回路基板に直接搭載した場合に必要な面積だけ、実装密度を高めることができる。

なお、ここで、用語「回路素子」は、コンデンサ、抵抗、コイル等の受動素子や、トランジスタやダイオード等の機能素子を含むものとして使用する。

びその端面に沿って垂下して、延長垂下端部24Aを形成している。

図示の実施例においてセラミックリッド22の上に搭載されるチップ形セラミックコンデンサ26は、ハンダ被覆された端子電極28が両端に形成されている。

上記した本発明による回路素子付半導体チップキャリアの実施例は、次のように組立られる。すなわち、セラミックリッド22は、従来公知の方法により半導体チップ18がダイボンディングされ必要なワイヤボンディングが施されているセラミックキャリア10の上に載置され、絶縁性接着剤30で接合される。その結果、半導体チップ18は、セラミックキャリア10とセラミックリッド22とによって封止される。このとき、セラミックリッド22の各パッド24の延長垂下端部24Aは、半導体チップキャリアの外部端子16の内の対応するものに直上に位置する。

そのようにつくられた半導体チップキャリアが、厚膜法により導体回路や抵抗が形成されている回

回路基板1上の所定の位置に置かれ、その半導体チップキャリアのセラミックリッド22の上面上に上記したチップ形セラミックコンデンサ26が載置される。そのとき、各端子電極28は、対応するパッド24の上に位置付けられる。かかる状態で回路基板1全体を加熱すると、半導体チップキャリアは、回路基板1上に半田付けされ、チップ形セラミックコンデンサ26の各端子電極28もパッド24に半田付けされ、更に、それらパッド24の垂下端部24Aも、対応する外部端子16に半田付けされる。

かくして、上記実施例においては、厚膜法による従来のハイブリット集積回路装置の製造プロセスにおける手間と同じ手間で実装が行うことができ、且つ、チップ形セラミックコンデンサ26を回路基板上に搭載しない分だけ実装密度を高くすることができる。

なお、半導体チップとコンデンサとを接続する場合、半導体チップとコンデンサとを接続するリード線がインダクタとして機能して、寄生インダクタンスを生じる。しかし、上記実施例のように

コンデンサを半導体チップキャリアのリッドの上に搭載することにより、半導体チップとコンデンサとの接続リードを可能な限り短くすることができ、寄生インダクタンスを最小にすることができる。

上述した第2図および第3図に示す実施例のように、リッド22にコンデンサ26のような別体の回路素子を搭載する場合は、コンデンサや抵抗やコイル等の受動素子だけでなく、パッド24の位置、形状、数を適当に選ぶことにより、ダイオードやトランジスタ等の機能素子も搭載することもできる。

第4図は、本発明による回路素子付半導体チップキャリアのもう一つの実施例の断面図である。第4図の実施例にあっても、セラミックキャリア10は、金属化された底部12を有する凹部14が中央に形成され、外周辺部には外部端子16として機能する導体が設けられている。そのようなセラミックキャリア10の凹部14の金属化底部12に、半導体チップ18がダイボンディングにより固定され、そ

して、外部端子16との間がワイヤ20により結線されている。

そのようなセラミックキャリア10の上に重ねられるリッドは、この実施例の場合、チップ型セラミックコンデンサ自体により構成される。このチップ型セラミックコンデンサ40は、セラミックキャリア10と同じ大きさをしており、その両端にある端子電極42の各々からは、チップ型セラミックコンデンサ40が接続されるべき外部端子16の直上に向かってピン44が垂下している。

そして、リッドとしても機能するチップ型セラミックコンデンサ40は、絶縁性接着剤46によってセラミックキャリア10の上縁に接合され、半導体チップ18をセラミックキャリア10とチップ型セラミックコンデンサ40との間の空間内に封止する。そのとき、ピン44は、対応する外部端子に当接し、電気的接続を確保する。

以上の如き第4図に示す半導体チップキャリアは、従来の半導体チップキャリアと全く同様な方法によって回路基板上に搭載することができる。

なお、第4図に示す実施例のように、リッドと回路素子とを兼用する場合は、リッドとして使用できるものであれば、コンデンサだけでなく、セラミック板上に抵抗パターンやコイルパターンがプリントされた抵抗やコイル等の受動素子も搭載することができる。

#### 発明の効果

以上から明らかなように、本発明による回路素子付半導体チップキャリアを使用するならば、半導体チップキャリアのリッドの上に回路素子を搭載しているので、回路基板の実装密度を従来に比べて一層高めることができる。

#### 4. 図面の簡単な説明

第1図は、回路基板への従来の実装を図解した図、第2図は、本発明による回路素子付半導体チップキャリアの一実施例の分解部品配列斜視図、第3図は、第2図の半導体チップキャリアの断面図、そして、第4図は、本発明による回路素子付

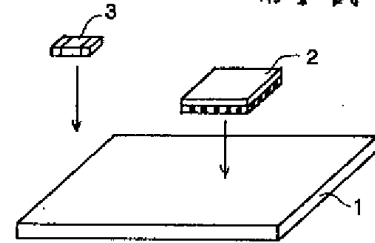
半導体チップキャリアのもう1つの実施例の断面図である。

(主な参照番号)

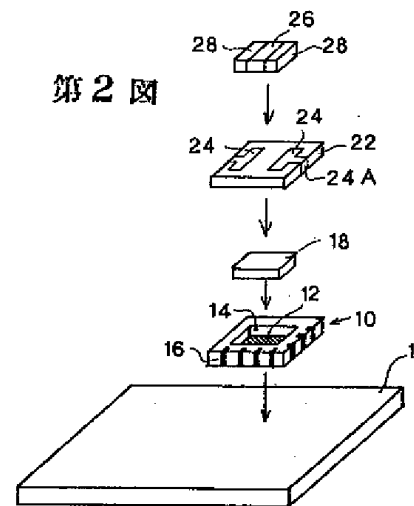
- 1・・・回路基板、
- 2・・・半導体チップキャリア、
- 3・・・コンデンサ、
- 10・・・セラミックキャリア、
- 14・・・凹部、
- 16・・・外部端子、
- 18・・・半導体チップ、
- 22・・・セラミックリッド、
- 24・・・パッド、
- 26・・・チップ型コンデンサ、
- 40・・・リッド兼チップ型コンデンサ

特許出願人 住友電気工業株式会社  
代理人 弁理士 新居 正彦

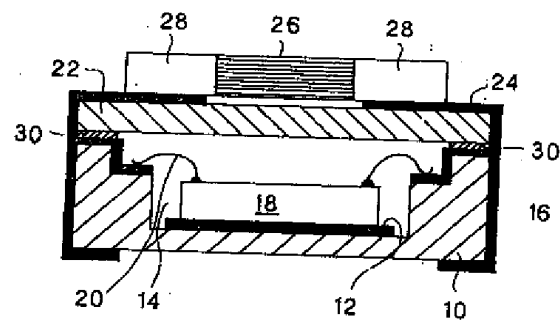
第1図



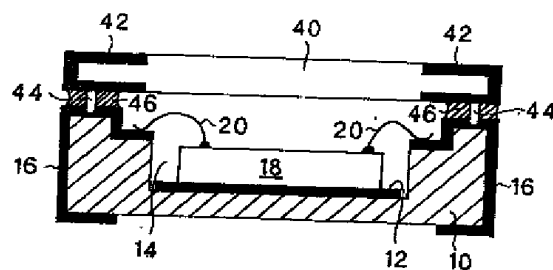
第2図



第3図



第4図



**PAT-NO:** JP360171754A  
**DOCUMENT-IDENTIFIER:** JP 60171754 A  
**TITLE:** SEMICONDUCTOR CHIP  
CARRIER PROVIDED WITH  
CIRCUIT ELEMENT  
**PUBN-DATE:** September 5, 1985

**INVENTOR-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
MORITA, TETSUO	

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
SUMITOMO ELECTRIC IND LTD	N/A

**APPL-NO:** JP59027269  
**APPL-DATE:** February 17, 1984

**INT-CL (IPC):** H01L025/04 , H01L023/06

**US-CL-CURRENT:** 257/686

**ABSTRACT:**

**PURPOSE:** To enhance mounting density when a

semiconductor chip carrier and another circuit element are to be mounted on a circuit board by a method wherein the circuit element is provided to a lid, and the terminals of the circuit element thereof are connected to the corresponding outside terminals of the semiconductor chip carrier.

CONSTITUTION: A semiconductor chip 18 is sealed by a ceramic carrier 10 and a ceramic lid 22. The downward vertically extended edge parts 24A of the respective pads 24 of the lid 22 are positioned directly above the corresponding outside terminals out of the outside terminals 16 of the semiconductor chip carrier. The semiconductor chip carrier constructed in such a way is put to the prescribed position on a circuit board 1 formed with conductor circuits and resistors, a chip type ceramic capacitor 26 is put on the upper surface of the lid 22, and respective terminal electrodes 28 are positioned on the corresponding pads 24. When the whole of the circuit board 1 is heated in this condition, the semiconductor chip carrier is soldered on the circuit board 1, the respective terminal electrodes 28 of the chip type ceramic capacitor 26 are also soldered to the pads 24, and moreover, the downward vertical edge parts 24A of the pads 24 thereof are also soldered to the corresponding outside terminals 16.

COPYRIGHT: (C)1985,JPO&Japio